

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 7 月 14 日 (14.07.2005)

PCT

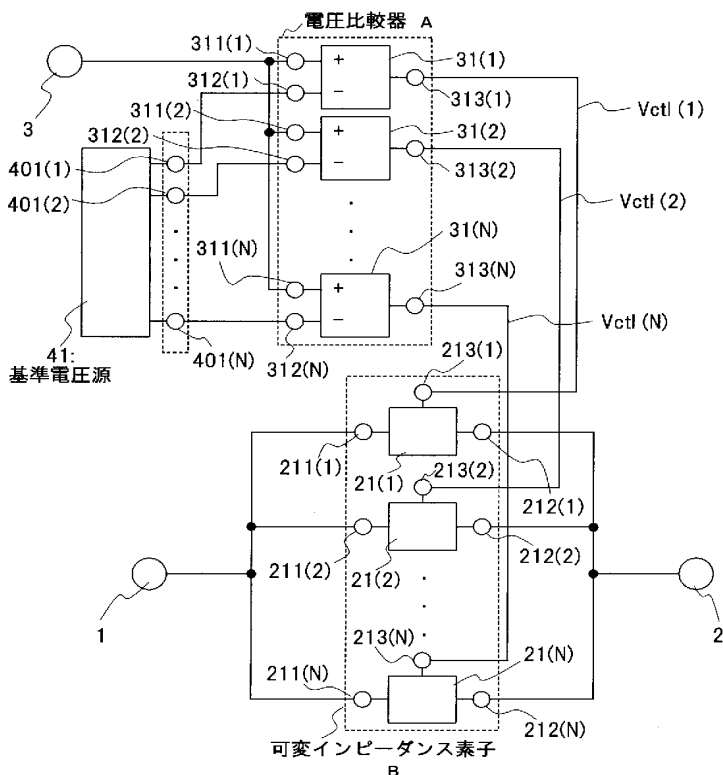
(10) 国際公開番号
WO 2005/064791 A1

- (51) 国際特許分類: **H03H 11/24** (72) 発明者; および
(21) 国際出願番号: PCT/JP2004/018223 (75) 発明者/出願人(米国についてのみ): 小島 巖 (KOJIMA, Iwao).
(22) 国際出願日: 2004 年 12 月 7 日 (07.12.2004) (74) 代理人: 東島 隆治 (HIGASHIMA, Takaharu); 〒5400001 大阪府大阪市中央区城見 1 丁目 3 番 7 号 IMP ビル 青山特許事務所 Osaka (JP).
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願 2003-430738 2003 年 12 月 25 日 (25.12.2003) JP
(71) 出願人(米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: VARIABLE ATTENUATOR

(54) 発明の名称: 可変アッテネータ



41.. REFERENCE VOLTAGE SOURCE
A.. VOLTAGE COMPARATOR
B.. VARIABLE IMPEDANCE ELEMENT

(57) Abstract: There is provided a variable attenuator controllable effectively and continuously and having small manufacturing irregularities. The variable attenuator includes: a first signal input terminal; a first signal output terminal; a first control terminal for inputting control voltage; an analog/digital converter for converting the control voltage to M (M is an integer not smaller than 2) control signals; and N (N is a positive integer satisfying $N \geq M$) variable impedance elements connected in parallel and/or in series between the first signal input terminal and the first signal output terminal and having impedance changed by any of the control signals.

(57) 要約: 実効的に連続制御可能で製造上のばらつきの小さい可変アッテネータを提供する。本発明の可変アッテネータは、第 1 の信号入力端子と、第 1 の信号出力端子と、制御電圧を入力する第 1 の制御端子と、制御電圧を M 個 (M は 2 以上の正整数) の制御信号に変換するアナログ/デジタル変換器と、第 1 の信号入力端子と第 1 の信号出力端子との間に並列及び/又は直列に接続され、いずれかの制御信号によってインピーダンスを変えられる N 個 (N は $N \geq M$ の正整数) の可変インピーダンス素子と、を有する。

WO 2005/064791 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

可変アッテネータ

技術分野

[0001] 本発明は、MOSTランジスタを使った連続可変アッテネータに関する。

背景技術

[0002] 近年、SiやSiGeを材料に用いた高周波トランジスタの開発が進むとともに、高集積化、高機能化が進んでいる。パワーアンプ、パワーアンプ用ドライバアンプ、ローノイズアンプ等も増幅度の連続的な制御機能や連続可変アッテネータの内蔵を要求されている。従来から、上述した機能を実現するために、MOSTランジスタを使った可変アッテネータが提案されてはいるが、離散的な制御しかできなかつたり、連続可変が可能であっても製造上のばらつきが大きかつたりした。

[0003] 図11を用いて、MOSTランジスタを使った従来の具体的な可変アッテネータを説明する。図11は、従来例に係るMOSTランジスタを使った可変アッテネータを示す図である。

従来例の可変アッテネータは、信号入力端子1、信号出力端子2、コンデンサ705、709、抵抗715、716、717、718、719、720、制御端子721、722、N型MOSTランジスタ723、724、725で構成される。

信号入力端子1から入力された信号は、デカップリング用コンデンサ705を介してN型MOSTランジスタ725に入力された後、デカップリング用コンデンサ709を介して信号出力端子2から出力される。

[0004] この可変アッテネータにおいて、制御端子721にN型MOSTランジスタ725をONにさせる電圧(Highレベルの電圧)が与えられると、N型MOSTランジスタ725はONとなり、且つ制御端子722にN型MOSTランジスタ723、724をOFFにさせる電圧(Lowレベルの電圧)が与えられると、信号ラインに並列に接続されたN型MOSTランジスタ723、724はOFFとなる。

この状態で、信号入力端子1から入力された信号は、N型MOSTランジスタ725を通してほとんど減衰することなく信号出力端子2から出力される。

- [0005] 一方、制御端子721にN型MOSTランジスタ725をOFFにさせる電圧(Lowレベルの電圧)が与えられると、N型MOSTランジスタ725はOFFとなり、且つ制御端子722にN型MOSTランジスタ723、724をONにさせる電圧(Highレベルの電圧)が与えられると、N型MOSTランジスタ723、724はONとなる。

この状態で、信号入力端子1から入力された入力電圧は、小さな抵抗値の抵抗716により減衰せしめられ、更に抵抗720と抵抗718とにより分圧され、大きく減衰した信号が信号出力端子2から出力される。

特許文献1:特開平6-224691号公報

特許文献2:特開2001-68967号公報

発明の開示

発明が解決しようとする課題

- [0006] 従来例に係る可変アッテネータは、基本的に2値の離散的な減衰量の制御しかできないという問題があった。制御端子721、722に与えられる電圧を連続的に変化させることで連続的な減衰量の制御をすることができるが、その場合、制御端子721、722に与えられる電圧に対する減衰量の変化は、MOSTランジスタ723、724、725のしきい値電圧 V_T 付近で非常に急峻になってしまう。しきい値電圧 V_T の製造上のばらつきに対して非常に影響を受けやすいという問題があった。

- [0007] 本発明は、上述した問題点に鑑み提案されたもので、多段で減衰量を変化させることが容易にできる可変減衰量アッテネータ(以下、可変アッテネータと呼ぶ。)を提供することを目的とする。

本発明は、段数を増すことにより実効的に段数に対応して増えるようにして減衰量を広い範囲で変化させることができる可変アッテネータを提供することを目的とする。

本発明は、製造上のばらつきの小さい高精度の可変アッテネータを提供することを目的とする。

本発明は、更に、制御電圧と対数(dB)表示した減衰量GLとの関係が近似的に1次式で表せる関係を有し、電子装置に利用しやすい可変アッテネータを提供することを目的とする。

課題を解決するための手段

[0008] 上記課題を解決するため、本発明は下記の構成を有する。

本発明の第1の観点による可変アッテネータは、第1の信号入力端子と、第1の信号出力端子と、制御電圧を入力する第1の制御端子と、前記制御電圧をM個(Mは2以上の正整数)の制御信号に変換するアナログ／デジタル変換器と、前記第1の信号入力端子と前記第1の信号出力端子との間に並列及び／又は直列に接続され、いずれかの前記制御信号によってインピーダンスを可変されるN個(Nは $N \geq M$ の正整数)の可変インピーダンス素子と、を有する。

[0009] この発明の可変アッテネータは、制御電圧から複数の制御信号を生成し、複数の制御信号で複数の可変インピーダンス素子を制御する。この構成により、多段で減衰量を変化させることが容易にできる。段数を増すことにより、減衰量を実効的に連続的に変化させることができる。この発明は、製造上のばらつきの小さい高精度の可変アッテネータを実現する。

[0010] 本発明の他の観点による上記の可変アッテネータにおいて、N個の前記可変インピーダンス素子は、同一の構成を有し、前記第1の信号入力端子と前記第1の信号出力端子との間に並列に接続される。

[0011] この発明は、制御電圧と減衰量とが所定の関係を有し、電子装置に利用しやすい可変アッテネータを実現する。

[0012] 本発明の別の観点による上記の可変アッテネータにおいて、前記制御信号が第1の値及び第2の値の2値のデジタル信号であり、前記アナログ／デジタル変換器は、前記制御電圧のレベルとほぼ比例した数であるK個(Kは $0 \leq K \leq M$ である整数)の第1の値の前記制御信号と、(M-K)個の第2の値の前記制御信号とを出力し、NはMと同一の値であり、N個の前記可変インピーダンス素子は、同一の構成を有し、前記第1の信号入力端子と前記第1の信号出力端子との間に並列に接続され、それぞれの前記制御信号によって、2つのインピーダンス値のいずれかに切り換えられる。

[0013] この発明は、制御電圧と減衰量とが所定の関係(例えば制御電圧と対数(dB)表示した減衰量GLとが近似的に1次式で表せる関係)を有し、電子装置に利用しやすい可変アッテネータを実現する。

[0014] 本発明の更に別の観点による上記の可変アッテネータにおいて、前記可変インピ

ーダンス素子は、第2の信号入力端子と、第2の信号出力端子と、制御信号を入力する第2の制御端子と、定電圧端子と、前記第2の信号入力端子と前記第2の信号出力端子との間に挿入された、ほぼ同一のインピーダンスを有する2つの抵抗を直列に接続した直列接続体と、2つの前記抵抗の接続点と前記定電圧端子との間に挿入され、前記制御信号によって導通又は遮断するスイッチング素子と、を有する。

[0015] この発明は、可変アッテネータの前及び後に接続する回路の出力インピーダンス及び入力インピーダンスを所定のマッチング条件を満たす値に設定することにより、制御電圧と対数(dB)表示した減衰量GLとが近似的に1次式で表せる関係を有し、電子装置に利用しやすい可変アッテネータを実現する。「定電圧端子」は、一定の電位の端子であって、典型的には接地端子である。

[0016] 本発明の更に別の観点による上記の可変アッテネータにおいて、前記可変インピーダンス素子は、第2の信号入力端子と、第2の信号出力端子と、制御信号を入力する第2の制御端子と、定電圧端子と、前記第2の信号入力端子と前記第2の信号出力端子との間に挿入され、第1の受動素子と第2の受動素子とを直列に接続した直列接続体と、ドレインが前記第1の受動素子と前記第2の受動素子との接続点に接続され、ソースが前記定電圧端子に直接又は抵抗を介して接続され、前記制御信号をゲートに入力する第1のMOSTランジスタと、を有する。

[0017] この発明では、可変アッテネータの前及び後に接続する回路の出力インピーダンス及び入力インピーダンスを所定のマッチング条件を満たす値に設定する。これにより、制御電圧と対数(dB)表示した減衰量GLとが近似的に1次式で表せる関係を有し、電子装置に利用しやすい可変アッテネータを実現する。

[0018] 本発明の更に別の観点による上記の可変アッテネータにおいて、前記第1の受動素子及び前記第2の受動素子は抵抗である。

[0019] 本発明の更に別の観点による上記の可変アッテネータは、第3の信号入力端子と、第3の信号出力端子と、を更に有し、それぞれの前記可変インピーダンス素子は、前記第1の信号入力端子と前記第1の信号出力端子との間を並列又は直列に接続するための第1の回路と同一の回路であって、同一の前記制御信号によってインピーダンスを可変される第2の回路を更に有し、N個の前記可変インピーダンス素子の前記

第2の回路は、前記第3の信号入力端子と前記第3の信号出力端子との間を並列又は直列に接続する。

[0020] この発明は、2つの信号を入力し、それぞれ同一の減衰量で減衰させて出力する可変アッテネータを実現する。この発明は、バランスした信号対(差動型の信号対)、相補の信号対を減衰させるのに適した可変アッテネータを実現する。バランスした信号対又は相補の信号対をこの発明の可変アッテネータに入力することにより、可変アッテネータに対する外乱の影響を抑圧することが出来る。

[0021] 本発明の更に別の観点による上記の可変アッテネータにおいて、前記可変インピーダンス素子は、第2の信号入力端子と、第2の信号出力端子と、第4の信号入力端子と、第4の信号出力端子と、制御信号を入力する第2の制御端子と、定電圧端子と、前記第2の信号入力端子と前記第2の信号出力端子との間に挿入され、第1の受動素子と第2の受動素子とを直列に接続した第1の直列接続体と、前記第4の信号入力端子と前記第4の信号出力端子との間に挿入され、第3の受動素子と第4の受動素子とを直列に接続した第2の直列接続体と、ドレインが前記第1の受動素子と前記第2の受動素子との接続点に接続され、ソースが前記定電圧端子に直接又は第5の受動素子を介して接続され、前記制御信号をゲートに入力する第1のMOSTランジスタと、ドレインが前記第3の受動素子と前記第4の受動素子との接続点に接続され、ソースが前記定電圧端子に直接、前記第5の受動素子を介して、又は前記第5の受動素子と同一のインピーダンスを有する第6の受動素子を介して接続され、前記制御信号をゲートに入力する第2のMOSTランジスタと、を有する。

[0022] この発明では、可変アッテネータの前及び後に接続する回路の出力インピーダンス及び入力インピーダンスを所定のマッチング条件を満たす値に設定する。これにより、2つの信号を入力してそれぞれ同一の減衰量で減衰させて出力し、制御電圧と対数(dB)表示した減衰量GLとが近似的に1次式で表せる関係を有し、電子装置に利用しやすい可変アッテネータを実現する。

[0023] 本発明の更に別の観点による上記の可変アッテネータにおいて、前記第1の受動素子、前記第2の受動素子、前記第3の受動素子及び前記第4の受動素子が抵抗であり、又はそれらの受動素子と前記第5の受動素子とが抵抗であり、又はそれらの受

動素子と前記第5の受動素子と前記第6の受動素子とが抵抗である。

- [0024] 発明の新規な特徴は添付の請求の範囲に特に記載したものに他ならないが、構成及び内容の双方に関して本発明は、他の目的や特徴と共に、図面と共同して理解されるところの以下の詳細な説明から、より良く理解され評価されるであろう。

発明の効果

- [0025] 本発明によれば、多段階で減衰量を変化させることが容易にできる可変アッテネータを実現出来るという有利な効果が得られる。

本発明によれば、段数を増すことにより実効的には連続的に減衰量を変化させることができる可変アッテネータを実現出来るという有利な効果が得られる。

本発明によれば、製造上のばらつきの小さい高精度の可変アッテネータを実現出来るという有利な効果が得られる。

- [0026] 本発明によれば、更に、可変アッテネータの前及び後に接続する回路の出力インピーダンス及び入力インピーダンスを所定のマッチング条件を満たす値に設定することにより、制御電圧と対数(dB)表示した減衰量GLとが近似的に1次式で表せる関係を有し、電子装置に利用しやすい可変アッテネータを実現出来るという有利な効果が得られる。

- [0027] 本発明によれば、バランスした信号対(差動型の信号対)又は相補の信号対を入力するための対の信号入力端子と、対の信号出力端子とを有し、外乱の影響を受けにくい可変アッテネータを実現出来るという有利な効果が得られる。

図面の簡単な説明

- [0028] [図1]図1は本発明の実施例1における可変アッテネータを示す図である。
[図2]図2は実施例1の可変インピーダンス素子を具体的に示した図である。
[図3]図3は実施例1の電圧比較器を具体的に示した図である。
[図4]図4は実施例1の基準電圧源を具体的に示した図である。
[図5]図5は実施例1の可変アッテネータの動作原理を示す図である。
[図6]図6は実施例1の可変アッテネータの等価回路を示す図である。
[図7]図7は実施例1の回路を用いたシミュレーション結果を示す図である。
[図8]図8は本発明の実施例2における差動型可変アッテネータを示す図である。

[図9]図9は実施例2の可変インピーダンス素子を具体的に示した図である。

[図10]図10は実施例3のアナログ／デジタル変換器の構成を示すブロック図である。

[図11]図11は従来例の可変アッテネータを示す図である。

符号の説明

- [0029] 1、211、2111、2112 信号入力端子
2、212、2121、2122 信号出力端子
3、213 制御端子
21、81 可変インピーダンス素子
31 電圧比較器
41 基準電圧源
214、215、217、411、2141、2151、2142、2152、3113、3114、3116、3117、3120 抵抗
216、2161、2162 N型MOSトランジスタ
311、312 入力端子
313、401 出力端子
410、3115 電流源
3111、3112 NPNトランジスタ
3118、3119 PNPバイポーラトランジスタ
3121 コンデンサ
1001 入力バッファ
1002 減算器
1003 電圧比較器
1004 論理制御部
1005 D／A変換器
1006 出力レジスタ
1007 制御信号生成部
1008 制御信号出力端子

発明を実施するための最良の形態

[0030] 以下本発明の実施をするための最良の形態を具体的に示した実施例について、図面とともに記載する。

図面の一部又は全部は、図示を目的とした概要的表現により描かれており、必ずしもそこに示された要素の実際の相対的大きさや位置を忠実に描写しているとは限らないことは考慮願いたい。

[0031] 《実施例1》

図1〜7を用いて、本発明の実施例1における可変アッテネータ(減衰器)について説明する。図1は、本発明の実施例1における可変アッテネータを示す回路図である。

可変アッテネータは、減衰量を制御される信号を入力する信号入力端子1、減衰された信号を出力する信号出力端子2、外部から制御電圧を入力する制御端子3、 N 個($N \geq 2$ の正整数)の可変インピーダンス素子21(1)〜21(N)、 N 個の電圧比較器31(1)〜31(N)、基準電圧源41とで構成される。

[0032] N 個の電圧比較器31(i) ($1 \leq i \leq N$)は、全て同じ回路構成、同じ回路定数となっている。 N 個の電圧比較器31(1)〜31(N)と基準電圧源41とは、制御端子3から入力した制御電圧を N 個の制御信号 $V_{ctl}(i)$ ($1 \leq i \leq N$)に変換するアナログ／デジタル変換器を構成する。制御信号 $V_{ctl}(i)$ ($1 \leq i \leq N$)は、2値のデジタル信号である。

アナログ／デジタル変換器(電圧比較器31(1)〜31(N)と基準電圧源41)は、制御電圧のレベルとほぼ比例した数である K 個(K は $0 \leq K \leq N$ である整数)の第1の値(実施例1ではLowレベル)の制御信号と、($N-K$)個の第2の値の制御信号(実施例1ではHighレベル)とを出力する。

[0033] 可変インピーダンス素子21(1)〜21(N)は、全て同じ回路構成、同じ回路定数となっており、信号入力端子1と信号出力端子2との間に並列に接続される。可変インピーダンス素子21(i) ($1 \leq i \leq N$)は、それぞれ制御信号 $V_{ctl}(i)$ ($1 \leq i \leq N$)を入力し、2つのインピーダンス値のいずれかに切り換えられる。

[0034] 図2は、可変インピーダンス素子の構成を示す図である。可変インピーダンス素子21(i) ($1 \leq i \leq N$)は、信号入力端子211、信号出力端子212、制御信号を入力する制御端子213、抵抗214、215、 N 型MOSトランジスタ216とで構成されている。

抵抗214及び215は直列接続体を構成し、信号入力端子211と信号出力端子212との間に挿入される。抵抗214の抵抗値 R_{214} と抵抗215の抵抗値 R_{215} とは、同一の値 R である。

N型MOSトランジスタ216は、ドレインが抵抗214と抵抗215との接続点に接続され、ソースが接地され、ゲートに inputsする制御信号 $V_{ctl}(i)$ ($1 \leq i \leq N$)によって導通又は遮断するスイッチング素子である。

[0035] 可変インピーダンス素子21(i) ($1 \leq i \leq N$)の信号入力端子211(i) ($1 \leq i \leq N$)は全て信号入力端子1に接続される。可変インピーダンス素子21(i) ($1 \leq i \leq N$)の信号出力端子212(i) ($1 \leq i \leq N$)は全て信号出力端子2に接続される。

可変インピーダンス素子21(i) ($1 \leq i \leq N$)の制御端子213(i) ($1 \leq i \leq N$)はそれぞれ電圧比較器31(i) ($1 \leq i \leq N$)の出力端子313(i) ($1 \leq i \leq N$)に接続される。

[0036] 次ぎに、アナログ／デジタル変換器を説明する。図4は、基準電圧源の構成を示す図である。基準電圧源41は、可変インピーダンス素子と同数のN個の出力端子401(i) ($1 \leq i \leq N$)と、直列に接続されたN個の抵抗411(i) ($1 \leq i \leq N$)、1つの電流源410とで構成されている。

N個の抵抗411(i) ($1 \leq i \leq N$)は、同一の抵抗値 R_{411} である。電流源410は、N個の抵抗411(i) ($1 \leq i \leq N$)に一定の電流 I を流す。電流源410及びN個の抵抗411(i) ($1 \leq i \leq N$)の各接続点は、出力端子401(i) ($1 \leq i \leq N$)と接続され、基準電圧 $V_{ref}(i) = i \times R_{411} \times I$ ($1 \leq i \leq N$)を出力する。基準電圧源41は固定電圧を供給できれば良く、必ずしも図4の構成をとる必要はない。

[0037] 図3は、電圧比較器の構成を示す図である。電圧比較器31(i) ($1 \leq i \leq N$)は、入力端子311、312、出力端子313、NPNTランジスタ3111、3112、PNPバイポーラトランジスタ3118、3119、抵抗3113、3114、3116、3117、3120、コンデンサ3121、電流源3115から構成されている。

ここで、NPNTランジスタ3111、3112の代わりにN型MOSトランジスタを用いてもよく、PNPTランジスタ3118、3119の代わりにP型MOSトランジスタを用いても良い。

[0038] 電圧比較器31(i) ($1 \leq i \leq N$)の入力端子311(i)は全て制御端子3に接続され、外

部から入力される制御電圧を入力する。電圧比較器31(i) ($1 \leq i \leq N$)の入力端子312(i)はそれぞれ基準電圧源41の出力端子401(i) ($1 \leq i \leq N$)に接続され、基準電圧 $V_{ref}(i) = i \times R_{411} \times I$ を入力する。

[0039] 電圧比較器31(i) ($1 \leq i \leq N$)は、外部から入力される制御電圧と、基準電圧 $V_{ref}(i)$ とを比較する。電圧比較器31(i)は、制御電圧が基準電圧 $V_{ref}(i)$ より高ければ、Lowレベルを出力する。電圧比較器31(i)は、制御電圧が基準電圧 $V_{ref}(i)$ より低ければ、Highレベルを出力する。

即ち、制御電圧のレベルとほぼ比例した数であるK個 (K は $0 \leq K \leq N$ である整数)の電圧比較器31(1)〜31(K)は、第1の値(実施例1ではLowレベル)の制御信号を出力し、(N-K)個の電圧比較器31(K+1)〜31(N)は、第2の値の制御信号(実施例1ではHighレベル)を出力する。

[0040] 上述した可変アッテネータの動作原理を図5を用いて説明する。

図5(a)は、横軸が制御端子3に入力される制御電圧VGCを示し、縦軸が基準電圧源41の出力端子401(i) ($1 \leq i \leq N$)が出力する基準電圧 $V_{ref}(i) = i \times R_{411} \times I$ を示す。

図5(b)は、横軸が制御端子3に入力される制御電圧VGCを示し、縦軸が制御電圧VGCを入力する各電圧比較器31(i) ($1 \leq i \leq N$)の出力端子313(i)の電圧を示す。電圧比較器31(i) ($1 \leq i \leq N$)の各出力端子313(i)が出力する制御信号は、制御電圧VGCと基準電圧源41の出力端子401(i)の電圧が一致する電圧を中心に变化するHighレベルとLowレベルの2値である。

[0041] 電圧比較器の出力端子313(i) ($1 \leq i \leq N$)は、可変インピーダンス素子21の制御端子213(i)につながっている。

電圧比較器31の出力端子313(i) ($1 \leq i \leq N$)の電圧がHighレベルとなり、可変インピーダンス素子21(i)のN型MOSTランジスタ216(i)をONにさせるしきい電圧 V_{TH} を超えると、可変インピーダンス素子21(i)のN型MOSTランジスタ216(i)はONとなる。

電圧比較器31の出力端子313(i) ($1 \leq i \leq N$)の電圧がLowレベルとなり、しきい電圧 V_{TH} より下がると、N型MOSTランジスタ216(i)はOFFとなる。

- [0042] つまり、可変インピーダンス素子21 (i) ($1 \leq i \leq N$) のN型MOSTランジスタ216 (i) は、制御電圧VGCが基準電圧源41の出力端子401 (i) ($1 \leq i \leq N$) の電圧以下の値であればOFFし、制御電圧VGCが基準電圧源41の出力端子401 (i) の電圧より高い値であればONする。
- [0043] N型MOSTランジスタ216がONからOFFに変化する点における制御電圧VGCをVGCon1とすると、制御電圧VGCon1のばらつきは、図5 (b) に示すように主としてN型MOSTランジスタ216のしきい電圧VTHのばらつきによって決まる。
- [0044] 図5 (b) からわかるように、電圧比較器31の出力端子313 (i) ($1 \leq i \leq N$) の電圧変化が大きいほど(電圧の立下りが急峻であるほど)しきい電圧VTHのばらつきに起因する制御電圧VGCon1のばらつきは小さくなり、電圧変化が小さいほどしきい電圧VTHのばらつきに起因する制御電圧VGCon1のばらつきは大きくなる。
- [0045] 動作の説明をまとめると、制御端子3に入力される制御電圧VGCが十分に低い状態では、可変インピーダンス素子21 (i) ($1 \leq i \leq N$) の全てのN型MOSTランジスタ216はONとなっている。
- [0046] そして、制御電圧VGCが徐々に上がり、基準電圧源41の出力端子401 (1) の電圧値の近辺になると、可変インピーダンス素子21 (1) のN型MOSTランジスタ216 (1) がOFFする。
- 制御電圧VGCがさらに上がり、基準電圧源41の出力端子401 (2) の電圧値の近辺になると、可変インピーダンス素子21 (2) のN型MOSTランジスタ216 (2) が更にOFFする。
- [0047] 同様に制御電圧VGCがあがるにつれ、可変インピーダンス素子のN型MOSTランジスタが順々にOFFする。
- 制御端子3に入力される制御電圧VGCが十分に上がった状態では、全ての可変インピーダンス素子21 (i) ($1 \leq i \leq N$) のN型MOSTランジスタはOFFしている。
- [0048] ここで、ある制御電圧VGCで、n個 ($0 \leq n \leq N$) の可変インピーダンス素子のN型MOSTランジスタ216がONし、N-n個の可変インピーダンス素子のN型MOSTランジスタ216がOFFしている場合を考える。

そして、出力インピーダンスRsを持つ信号源を信号入力端子1に接続し、インピー

ダンスRLを持つ負荷を信号出力端子2に接続したときの信号減衰量GLを考える。

簡単のために、可変インピーダンス素子のN型MOSTランジスタ216がONしたときのON抵抗Ronは、可変インピーダンス素子の抵抗214と抵抗215の抵抗値R214、R215よりずっと小さい場合を考える。

等価回路は図6のようになり、これより信号減衰量GLは次式のようになる。

[0049] [数1]

$$GL = \frac{\frac{RL \cdot R215 / n}{RL + R215 / n}}{\frac{Rs \cdot R214 / n}{Rs + R214 / n} + \frac{R214 + R215}{N - n} + \frac{RL \cdot R215 / n}{RL + R215 / n}} \cdot \frac{R214 / n}{Rs + R214 / n}$$

[0050] 図7に、 $Rs = 50 \Omega$ 、 $R214 = 100 \Omega$ 、 $R215 = 100 \Omega$ 、 $RL = 50 \Omega$ 、 $N = 10$ 個の場合のSim (Simulation) 結果を示す。図7(a)の横軸は制御端子3に入力される制御電圧VGCであり、縦軸は電圧比較器31(i) ($1 \leq i \leq N$)の各出力端子313(i)の電圧である。図7(b)の横軸は制御電圧VGCであり、縦軸は対数(dB)で表示した信号減衰量GLである。

[0051] 図7(b)をみると、可変アッテネータの前及び後に接続する回路の出力インピーダンスRs及び入力インピーダンスRLを所定のマッチング条件を満たす値に設定することにより、制御電圧と対数(dB)表示した信号減衰量GLとが近似的に1次式で表せる関係を有することがわかる。対数(dB)表示した信号減衰量GLは、制御電圧に応じて、実効的に連続的且つ直線的に変化する。

[0052] 実施例1において、抵抗R214とR215は同一の抵抗値Rである。可変アッテネータの前段の出力インピーダンスRs及び可変アッテネータの後段の入力インピーダンスRLのマッチングインピーダンスは $Rs = RL = R/2$ である。

[0053] 上述の様に、制御電圧VGCに対する電圧比較器31(i) ($1 \leq i \leq N$)の出力端子313(i)の電圧の変化量を大きくすることが、N型MOSTランジスタのしきい電圧VTHのばらつきに起因する制御電圧VGCon1のばらつきを小さくできる故に、好ましい。

しかし、あまりに電圧の変化量を大きくすると、電圧比較器31 (i) ($1 \leq i \leq N$) の出力端子313 (i) の電圧が変化する点の近傍で、信号減衰量GLが離散的に変化し、信号減衰量GLの変化の連続性が失われる。

- [0054] 可変インピーダンス素子、電圧比較器、基準電圧源の出力端子の個数Nを増加させることにより、信号減衰量GLの変化の連続性を確保したまま、制御電圧VGCon1がしきい電圧VTHのばらつきの影響を受けにくくすることができる。

電圧比較器31の内部の抵抗3113、3114、3116、3117の抵抗値を適切に設定することにより、電圧比較器31の出力端子313 (i) の電圧の変化量を適切に設定することができる。

同一の回路を有するN個の可変インピーダンス素子21 (i) ($1 \leq i \leq N$)、及び同一の回路を有するN個の電圧比較器31 (i) ($1 \leq i \leq N$) を有する故に、製造上のばらつきを抑えることができる。

- [0055] なお、電圧比較器31がNビット(Nは2以上の正整数)の2進法のデータの制御信号を送り、可変インピーダンス素子21を2進法の各ビットに対応させても良い。実施例1であれば、LSBに相当する可変インピーダンス素子の抵抗値を $R_{214} = R_{215} = R$ とする。その上の桁のビットに対応する可変インピーダンス素子の抵抗値を $R_{214} = R_{215} = R/2$ 、LSBからj番目の可変インピーダンス素子21 (j) の抵抗値を $R_{214} = R_{215} = R/2^{(j-1)}$ ($1 \leq j \leq N$) とする。

- [0056] 《実施例2》

図8及び図9を用いて、実施例2の可変アッテネータを説明する。図8は、本発明の実施例2における可変アッテネータである。図8において、図1と同一部には同一番号を付している。

実施例2の可変アッテネータが、実施例1と違う点は、減衰量を制御される信号を入力する対の信号入力端子1、4、減衰された信号を出力する対の信号出力端子2、5、可変インピーダンス素子81 (i) ($1 \leq i \leq N$) を有することである。

それ以外の構成(アナログ/デジタル変換器等)は実施例1と同一であるため、詳細な説明を省略する。実施例2の可変インピーダンス素子について説明する。

- [0057] 可変インピーダンス素子81 (1) ~ 81 (N) は、全て同じ回路構成、同じ回路定数と

なっている。可変インピーダンス素子81(1)〜81(N)は、信号入力端子1と信号出力端子2との間に並列に接続される第1の回路と、信号入力端子4と信号出力端子5との間に並列に接続される第2の回路と、を有する。第1の回路と第2の回路とは実質的に同一の回路構成及び同一の回路定数を有する。可変インピーダンス素子81(i) ($1 \leq i \leq N$)は、それぞれ制御信号Vctl(i)を入力し、2つのインピーダンス値のいずれかに切り換えられる。

[0058] 図9は、実施例2の可変インピーダンス素子81(i)の構成を示す図である。可変インピーダンス素子81(i) ($1 \leq i \leq N$)は、信号入力端子2111、2112、信号出力端子2121、2122、制御信号を入力する制御端子213、抵抗2141、2151、2142、2152、217、N型MOSTランジスタ2161、2162で構成されている。

[0059] 第1の回路は、信号入力端子2111、信号出力端子2121、制御端子213、抵抗2141、2151、217、N型MOSTランジスタ2161で構成される。第2の回路は、信号入力端子2112、信号出力端子2122、制御信号を入力する制御端子213、抵抗2142、2152、217、N型MOSTランジスタ2162で構成される。第1の回路及び第2の回路は、制御端子213及び抵抗217を共有する。

[0060] 抵抗2141の抵抗値R2141と抵抗2151の抵抗値R2151と抵抗2142の抵抗値R2142と抵抗2152の抵抗値R2152とは、同一の値Rである。

[0061] N型MOSTランジスタ2161は、ドレインが抵抗2141と抵抗2151との接続点に接続され、ソースが抵抗217を介して接地され、ゲートに inputsする制御信号Vctl(i) ($1 \leq i \leq N$)によって導通又は遮断するスイッチング素子である。

トランジスタ2162は、ドレインが抵抗2142と抵抗2152との接続点に接続され、ソースが抵抗217を介して接地され、ゲートに inputsする制御信号Vctl(i) ($1 \leq i \leq N$)によって導通又は遮断するスイッチング素子である。

[0062] 実施例1の可変インピーダンス素子は、図2に示すように、MOSTランジスタ216のソースが接地されている。その場合、ソースグラウンド間の寄生インピーダンスが減衰特性に与える影響が少なくない。また、グラウンドからのノイズが信号に影響を与える場合もある。

[0063] 実施例2の可変インピーダンス素子81(i)は、2つのN型MOSTランジスタ2161、2

162のソースとグラウンドとの間に抵抗217を設けて、ソースグラウンド間の寄生インピーダンスが減衰特性に影響を与えることを防止している。

実施例2の可変アッテネータは、バランスした2つの入力信号(差動型の信号対)又は相補型の2つの入力信号を入力し、減衰させて出力する。これにより、グラウンドからのノイズが信号に影響を与えることを防止する。

[0064] 《実施例3》

図10を用いて、本発明の実施例3における可変アッテネータについて説明する。実施例3の可変アッテネータは、実施例1と異なるアナログ／デジタル変換器を有する。それ以外の点において、実施例3の可変アッテネータは、実施例1と同一である。実施例3の可変アッテネータのアナログ／デジタル変換器の構成を説明する。

[0065] 図10は、実施例3のアナログ／デジタル変換器の構成を示すブロック図である。実施例3のアナログ／デジタル変換器は、実施例1の基準電圧源41及び電圧比較器31に代えて、図10の構成を有する。

[0066] 図10において、アナログ／デジタル変換器は、制御端子3と接続される入力バッファ1001、入力バッファ1001の出力からD／A変換器1005の出力を減算する減算器1002、減算器1002の出力を非反転入力端子に接続される電圧比較器1003、電圧比較器1003の出力端子と接続される論理制御部1004、論理制御部1004の出力を入力されるpビット(pは2以上の任意の正整数)のデジタル／アナログ変換器1005、論理制御部1004と接続される出力レジスタ1006、出力レジスタ1006と接続される制御信号生成部1007、制御信号生成部1007と接続されるN個の制御信号出力端子1008(1)〜1008(N)を有する逐次比較型のアナログ／デジタル変換器である。

実施例3において、デジタル／アナログ変換器1005のビット数pを $p=4$ として説明する。

[0067] 入力バッファ1001は、制御電圧を入力する。論理制御部1004は、最初にデジタル／アナログ変換器1005に1000B(Bは2進数を示す。)を設定する。減算器1002は、入力バッファ1001が出力する制御電圧からデジタル／アナログ変換器1005が出力する電圧(デジタル値1000Bに対応する電圧)を減算し、減算結果を出力する

。

電圧比較器1003は、減算結果を入力し、正值であればHighレベル、負値であればLowレベルの出力信号を出力する。論理制御部1004は、電圧比較器1003の出力レベルがHighレベルであれば、MSBを1と決定し、電圧比較器1003の出力レベルがLowレベルであれば、MSBを0と決定する。

[0068] 例えばMSBが0であれば、次に論理制御部1004は、デジタル／アナログ変換器1005に0100Bを設定する。減算器1002は、入力バッファ1001が出力する制御電圧からデジタル／アナログ変換器1005が出力する電圧(デジタル値0100Bに対応する電圧)を減算し、減算結果を出力する。

電圧比較器1003は、減算結果を入力し、正值であればHighレベル、負値であればLowレベルの出力信号を出力する。論理制御部1004は、電圧比較器1003の出力レベルがHighレベルであれば、上から2桁目のビットを1と決定し、電圧比較器1003の出力レベルがLowレベルであれば、上から2桁目のビットを0と決定する。

以下、上記の処理を繰り返して、pビット(4ビット)のデジタル値を決定する。

[0069] 次に論理制御部1004は、4ビットのデジタル値を出力レジスタ1006にロードする。出力レジスタ1006は、次に論理制御部1004が新たな4ビットのデジタル値をロードするまで、その値を保持する。

制御信号生成部1005は、デコーダである。制御信号生成部1007は、出力レジスタ1006が出力するカウンタ値Kを入力し、カウンタ値Kと同一個数の制御信号出力端子1008(1)～1008(K)からLowレベルの制御信号を出力し、(N-K)個の制御信号出力端子1008(K+1)～1008(N)からHighレベルの制御信号を出力する。制御信号出力端子1008(i) ($1 \leq i \leq N$)は、それぞれ可変インピーダンス素子21(i)の制御端子213(i)と接続される。

以下、上記の処理を繰り返す。

[0070] 上記の構成により、実施例3のアナログ／デジタル変換器は、制御電圧のレベルとほぼ比例した数であるK個 (K は $0 \leq K \leq N$ である整数)のLowの制御信号と、(N-K)個のHighレベルの制御信号とを出力する。

[0071] 実施例3において、電圧比較器1003を複数個設け、一度に複数ビットずつデジタ

ル値を決定する構成にしても良い。

- [0072] D/A変換器1005に代えて、基準電圧保持部を設けても良い。基準電圧保持部は基準電圧を保持するコンデンサと、コンデンサに1LSBに相当する電圧を充電する充電回路と、コンデンサから1LSBに相当する電圧を放電する放電回路と、コンデンサが保持する電圧を出力する出力バッファと、を有する。

論理制御部1004は、前回のデジタル／アナログ変換結果のデジタル値を起点として、デジタル値をインクリメントして充電回路に充電指令を送り、デジタル値をデクリメントして放電回路に放電指令を送る。

電圧比較器1003の出力値がHighレベルからLowレベルに変化し、又はLowレベルからHighレベルに変化した時点で論理制御部1004が保持するデジタル値が、デジタル／アナログ変換結果となる。

- [0073] 実施例1から3において、N個の可変インピーダンス素子は、信号入力端子と信号出力端子との間に並列に接続された。これに代えて、N個の可変インピーダンス素子を信号入力端子と信号出力端子との間に直列に接続しても良い。

又は、N1個(N1は2以上の正整数)の可変インピーダンス素子を直列に接続した直列体を、N2個(N2は2以上の正整数)、信号入力端子と信号出力端子との間に並列に接続しても良い。

- [0074] アナログ／デジタル変換器が制御電圧をM個(Mは $2 \leq M < N$ の正整数)の制御信号に変換し、複数の可変インピーダンス素子が同一の制御信号を入力する構成としても良い。

N個の可変インピーダンス素子及びN個の電圧比較器の回路構成・回路定数を個々に変えて特性を調整しても良い。

但し、これらの構成を有する可変アッテネータは、上記の実施例の可変アッテネータと異なる特性の信号減衰量を有する。好ましくは、実施例と同一の構成を有する。

- [0075] 発明をある程度の詳細さをもって好適な形態について説明したが、この好適形態の現開示内容は構成の細部において変化してしかるべきものであり、各要素の組合せや順序の変化は請求された発明の範囲及び思想を逸脱することなく実現し得るものである。

産業上の利用可能性

[0076] 本発明は、可変アッテネータおよびこれを用いた半導体装置に有用である。

請求の範囲

- [1] 第1の信号入力端子と、
第1の信号出力端子と、
制御電圧を入力する第1の制御端子と、
前記制御電圧をM個(Mは2以上の正整数)の制御信号に変換するアナログ／デジタル変換器と、
前記第1の信号入力端子と前記第1の信号出力端子との間に並列及び／又は直列に接続され、いずれかの前記制御信号によってインピーダンスを可変されるN個(Nは $N \geq M$ の正整数)の可変インピーダンス素子と、
を有することを特徴とする可変アッテネータ。
- [2] N個の前記可変インピーダンス素子は、同一の構成を有し、前記第1の信号入力端子と前記第1の信号出力端子との間に並列に接続されることを特徴とする請求項1に記載の可変アッテネータ。
- [3] 前記制御信号が第1の値及び第2の値の2値のデジタル信号であり、前記アナログ／デジタル変換器は、前記制御電圧のレベルとほぼ比例した数であるK個($0 \leq K \leq M$ である整数)の第1の値の前記制御信号と、(M-K)個の第2の値の前記制御信号とを出力し、
NはMと同一の値であり、N個の前記可変インピーダンス素子は、同一の構成を有し、前記第1の信号入力端子と前記第1の信号出力端子との間に並列に接続され、それぞれの前記制御信号によって、2つのインピーダンス値のいずれかに切り換えられることを特徴とする請求項1に記載の可変アッテネータ。
- [4] 前記可変インピーダンス素子は、
第2の信号入力端子と、
第2の信号出力端子と、
制御信号を入力する第2の制御端子と、
定電圧端子と、
前記第2の信号入力端子と前記第2の信号出力端子との間に挿入された、ほぼ同一のインピーダンスを有する2つの抵抗を直列に接続した直列接続体と、

2つの前記抵抗の接続点と前記定電圧端子との間に挿入され、前記制御信号によって導通又は遮断するスイッチング素子と、

を有することを特徴とする請求項3に記載の可変アッテネータ。

[5] 前記可変インピーダンス素子は、

第2の信号入力端子と、

第2の信号出力端子と、

制御信号を入力する第2の制御端子と、

定電圧端子と、

前記第2の信号入力端子と前記第2の信号出力端子との間に挿入され、第1の受動素子と第2の受動素子とを直列に接続した直列接続体と、

ドレインが前記第1の受動素子と前記第2の受動素子との接続点に接続され、ソースが前記定電圧端子に直接又は抵抗を介して接続され、前記制御信号をゲートに入力する第1のMOSトランジスタと、

を有することを特徴とする請求項1に記載の可変アッテネータ。

[6] 前記第1の受動素子及び前記第2の受動素子が抵抗であることを特徴とする請求項5に記載の可変アッテネータ。

[7] 第3の信号入力端子と、第3の信号出力端子と、を更に有し、

それぞれの前記可変インピーダンス素子は、前記第1の信号入力端子と前記第1の信号出力端子との間を並列又は直列に接続するための第1の回路と同一の回路であって、同一の前記制御信号によってインピーダンスを可変される第2の回路を更に有し、

N個の前記可変インピーダンス素子の前記第2の回路は、前記第3の信号入力端子と前記第3の信号出力端子との間を並列又は直列に接続する、

ことを特徴とする請求項1に記載の可変アッテネータ。

[8] 前記可変インピーダンス素子は、

第2の信号入力端子と、

第2の信号出力端子と、

第4の信号入力端子と、

第4の信号出力端子と、
制御信号を入力する第2の制御端子と、
定電圧端子と、

前記第2の信号入力端子と前記第2の信号出力端子との間に挿入され、第1の受動素子と第2の受動素子とを直列に接続した第1の直列接続体と、

前記第4の信号入力端子と前記第4の信号出力端子との間に挿入され、第3の受動素子と第4の受動素子とを直列に接続した第2の直列接続体と、

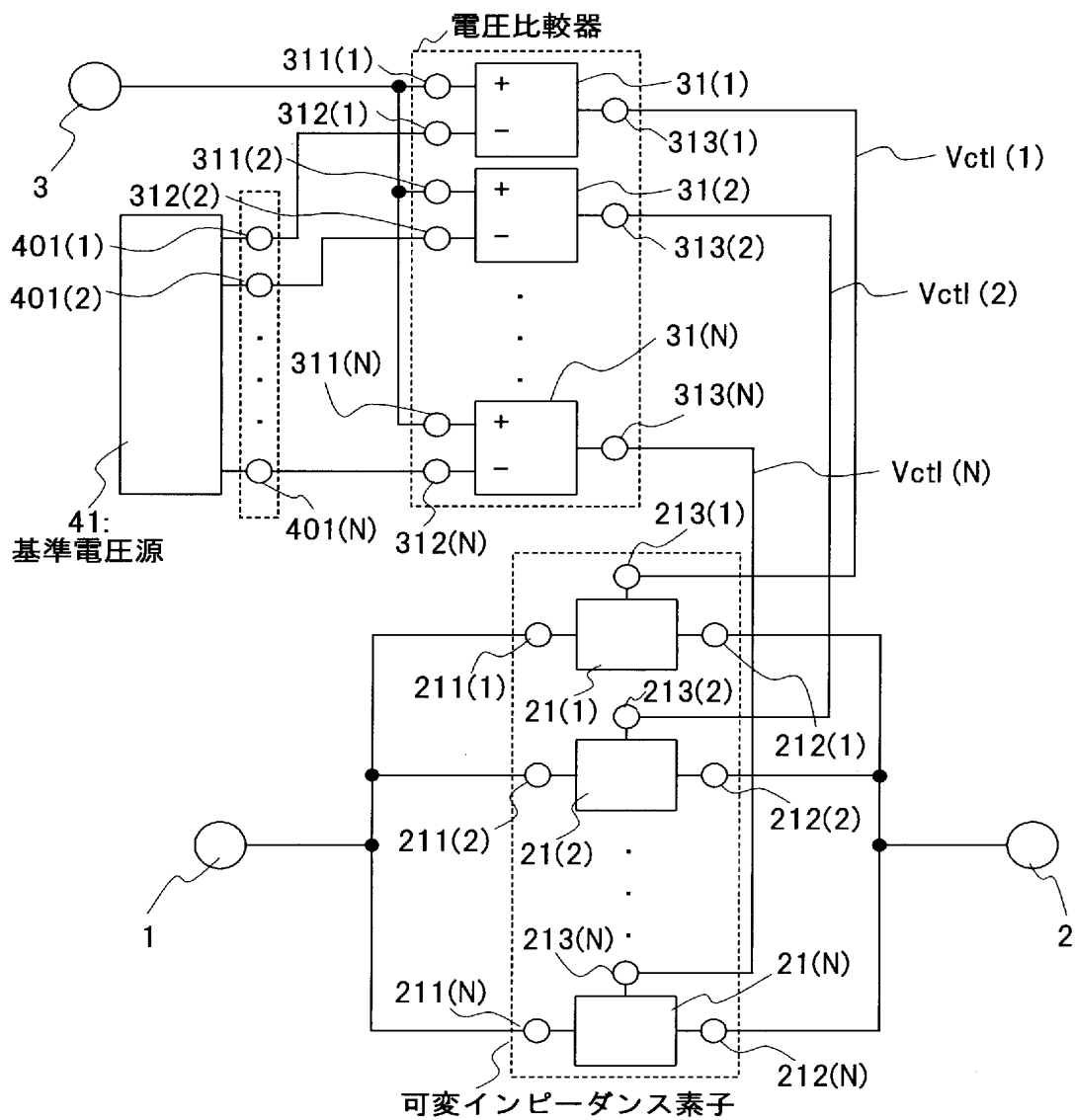
ドレインが前記第1の受動素子と前記第2の受動素子との接続点に接続され、ソースが前記定電圧端子に直接又は第5の受動素子を介して接続され、前記制御信号をゲートに入力する第1のMOSTランジスタと、

ドレインが前記第3の受動素子と前記第4の受動素子との接続点に接続され、ソースが前記定電圧端子に直接、前記第5の受動素子を介して、又は前記第5の受動素子と同一のインピーダンスを有する第6の受動素子を介して接続され、前記制御信号をゲートに入力する第2のMOSTランジスタと、

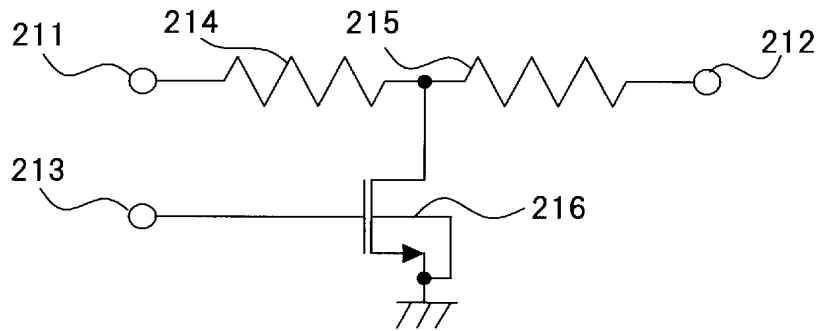
を有することを特徴とする請求項7に記載の可変アッテネータ。

- [9] 前記第1の受動素子、前記第2の受動素子、前記第3の受動素子及び前記第4の受動素子が抵抗であり、又はそれらの受動素子と前記第5の受動素子とが抵抗であり、又はそれらの受動素子と前記第5の受動素子と前記第6の受動素子とが抵抗であることを特徴とする請求項8に記載の可変アッテネータ。

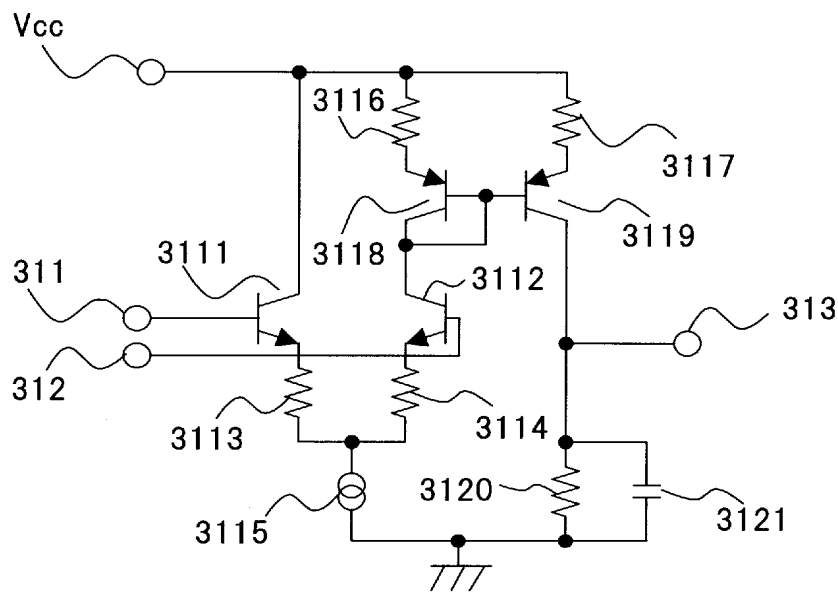
[図1]



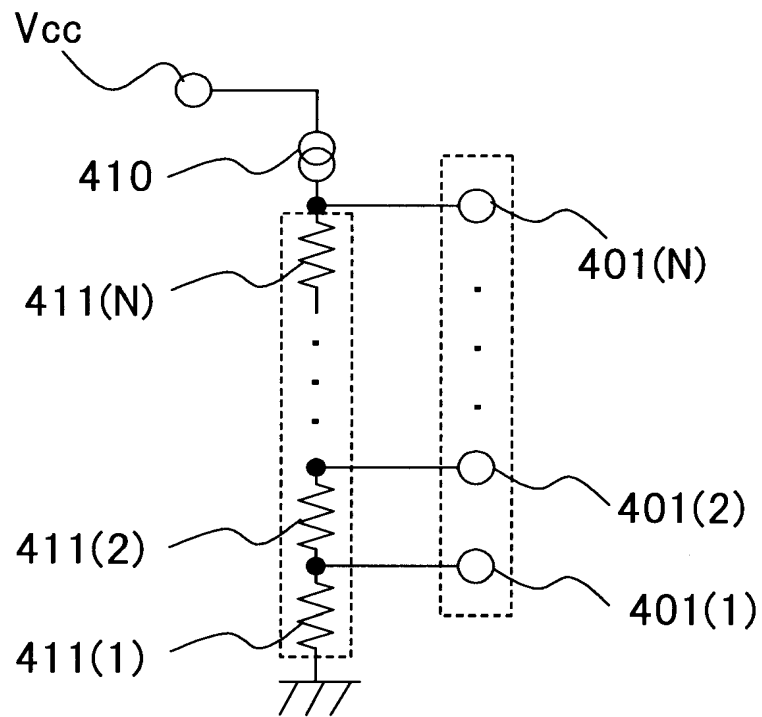
[図2]



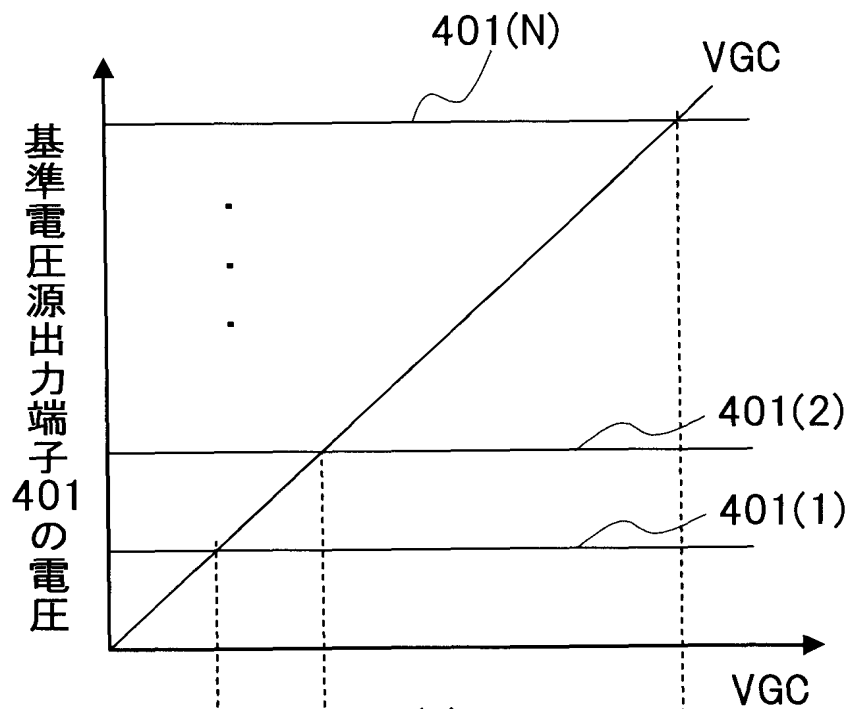
[図3]



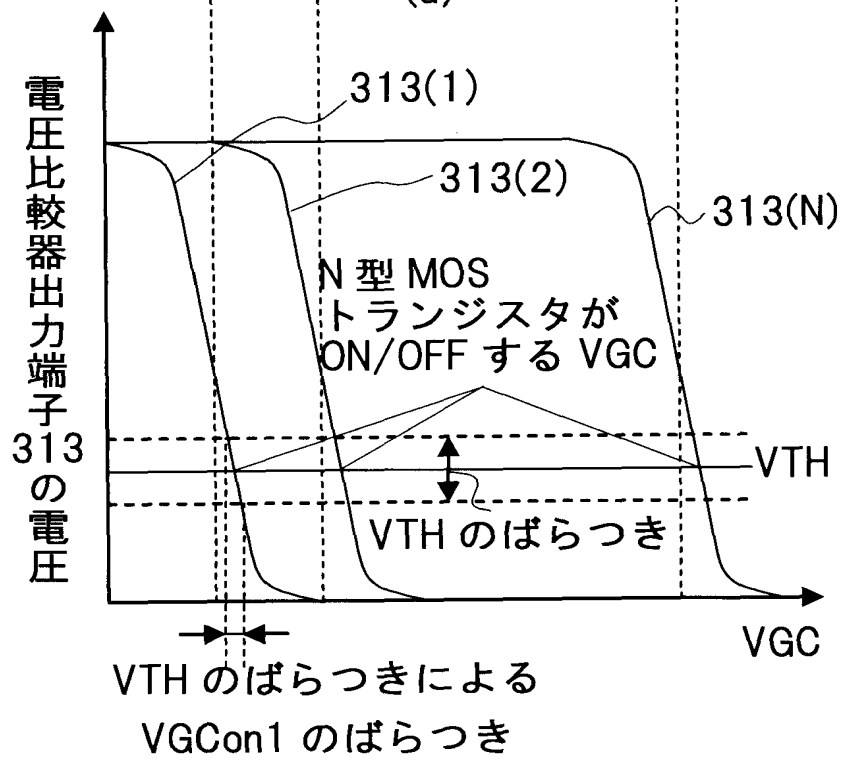
[図4]



[図5]

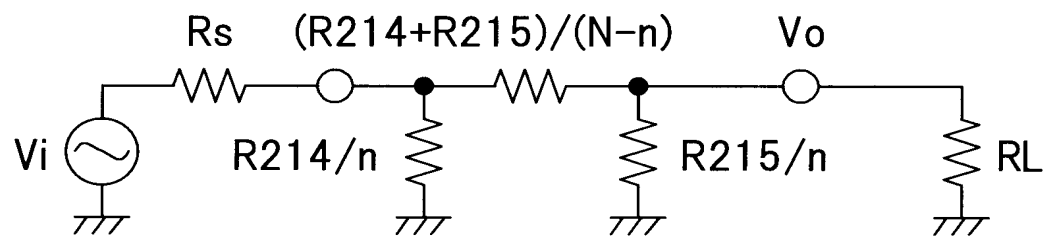


(a)

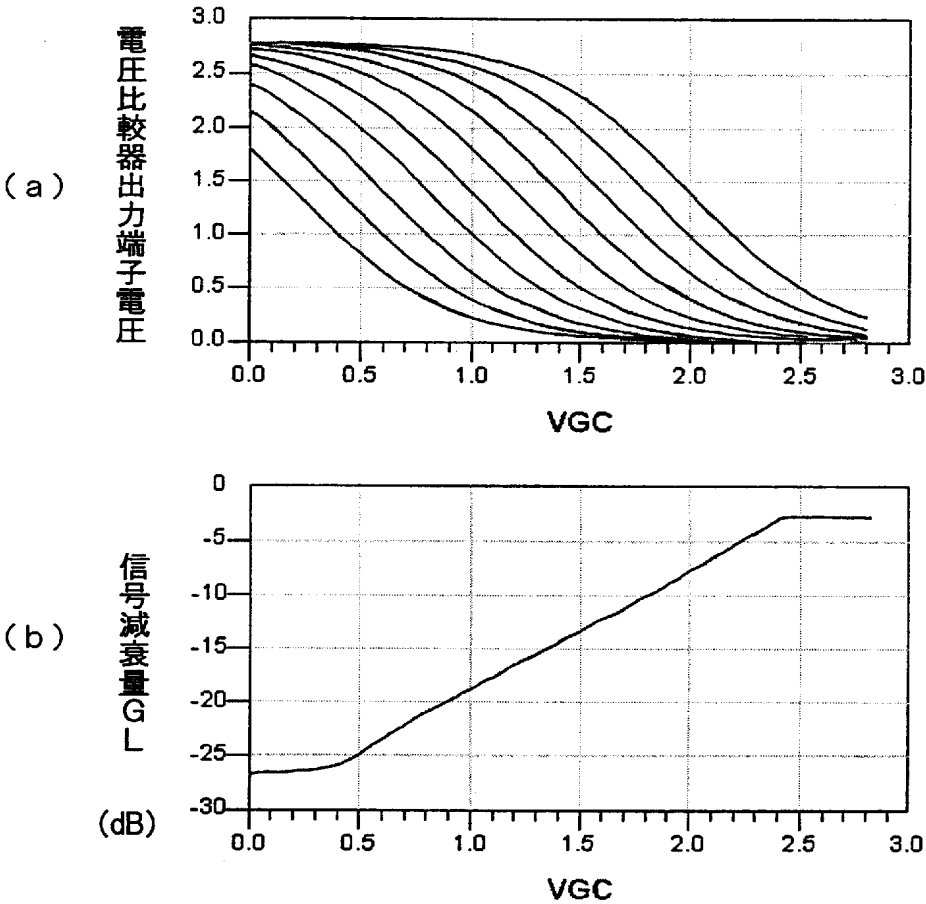


(b)

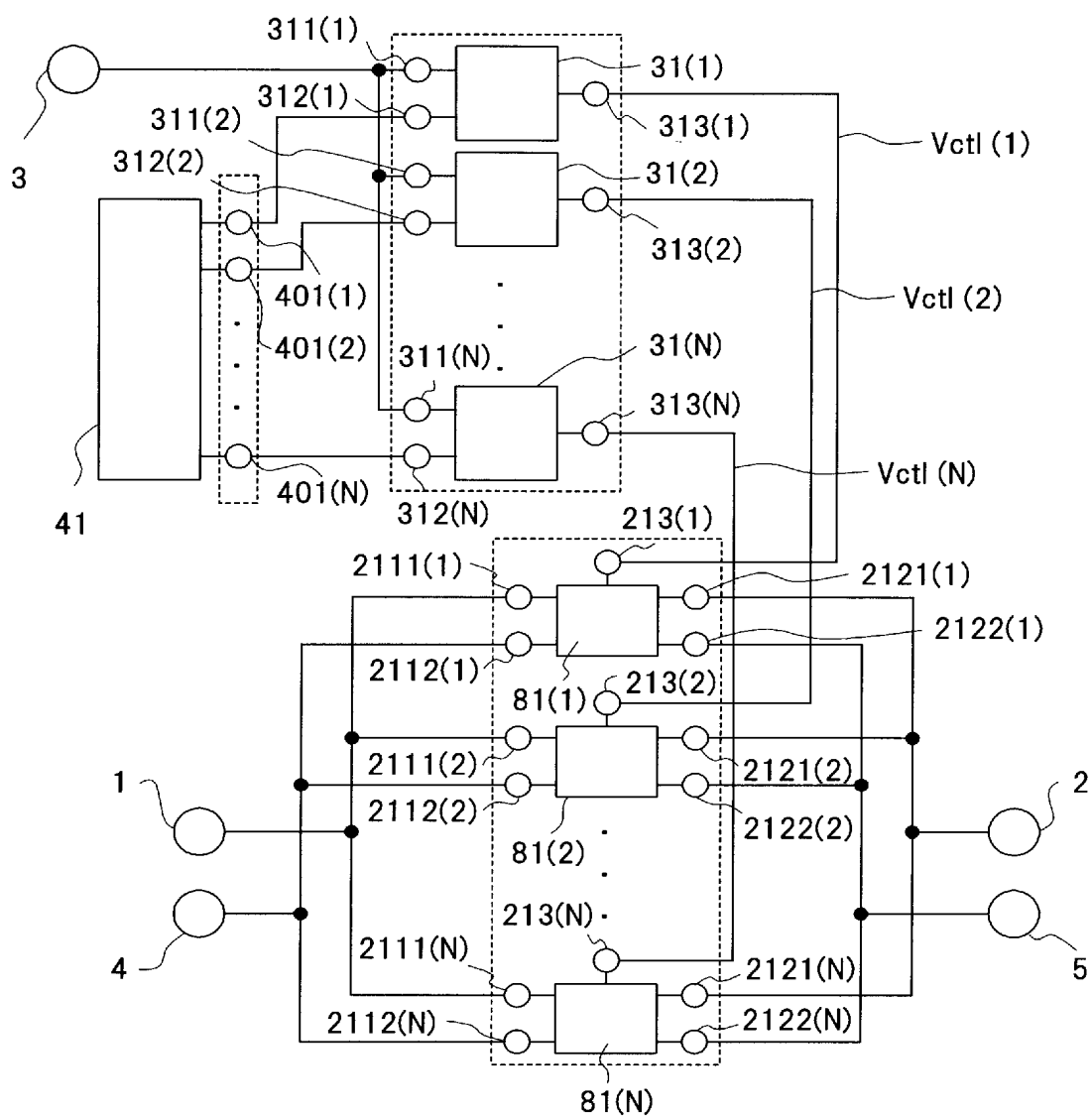
[図6]



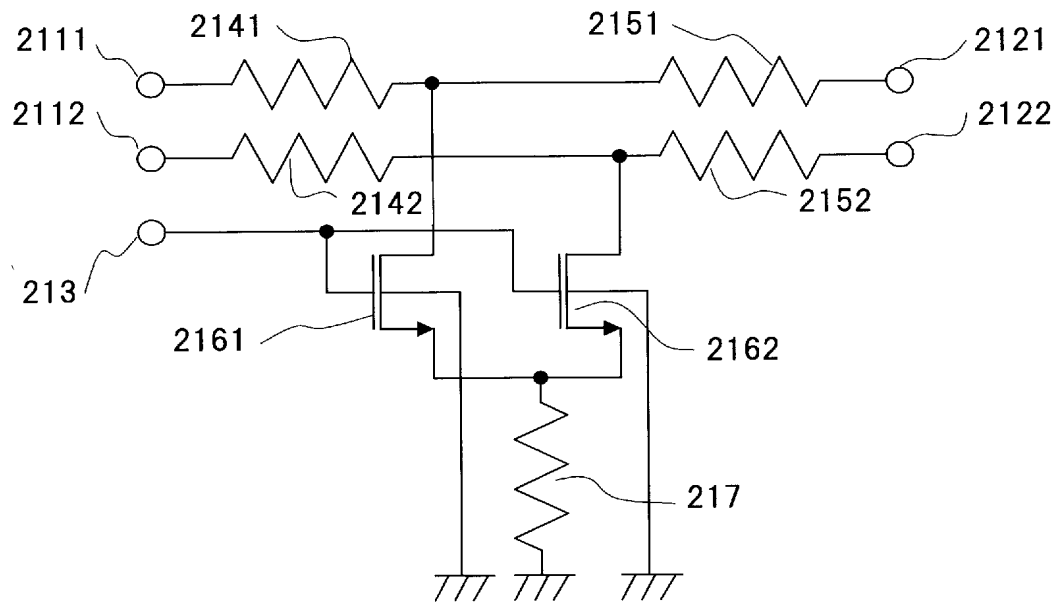
[図7]



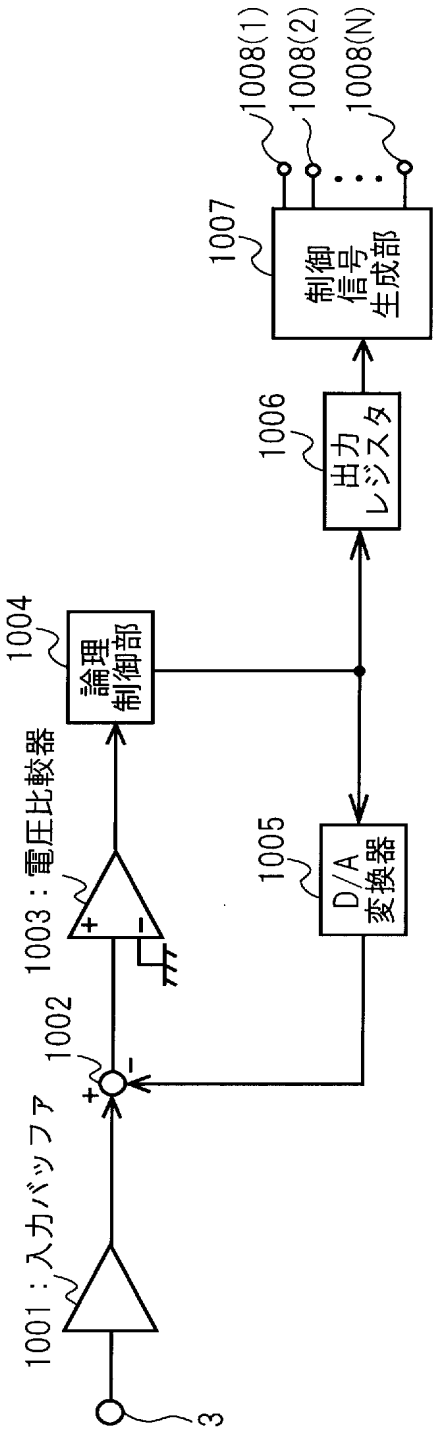
[図8]



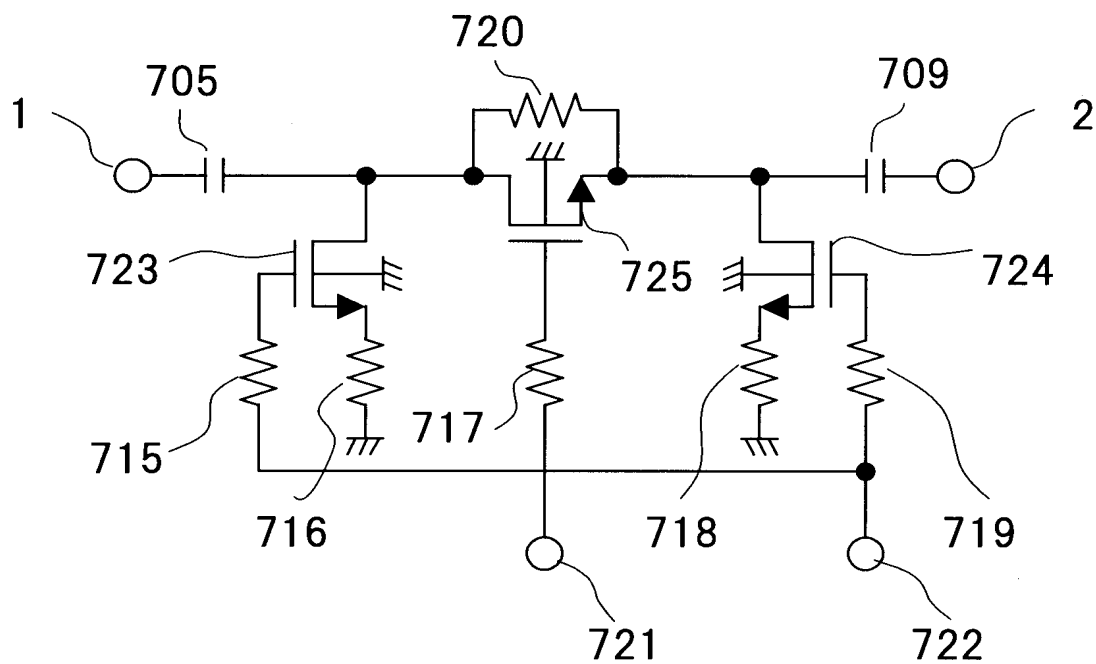
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/018223

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H03H11/24

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl.⁷ H03H7/24-7/24, 11/00-11/54

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-519613 A (Burr-Brown Corp.), 23 October, 2001 (23.10.01), Par. Nos. [0013] to [0045]; Figs. 2 to 5 & US 005880618 A1 & US 005880618 A & EP 001020027 A & EP 001427103 A & WO 1999/018664 A1	1, 7 5, 6, 8, 9
Y	JP 64-030315 A (Matsushita Electric Industrial Co., Ltd.), 01 February, 1989 (01.02.89), Pages 2 to 3; Figs. 3, 4 (Family: none)	2
Y	JP 8-037437 A (Toshiba Engineering Corp.), 06 February, 1996 (06.02.96), Par. No. [0033] (Family: none)	2

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 March, 2005 (03.03.05)

Date of mailing of the international search report
22 March, 2005 (22.03.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/018223

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 9-046176 A (Mitsubishi Electric Corp.), 14 February, 1997 (14.02.97), Par. Nos. [0016] to [0033]; Figs. 1 to 2 (Family: none)	5, 6, 8, 9
A	JP 2003-309454 A (Mitsubishi Electric Corp.), 31 October, 2003 (31.10.03), Par. Nos. [0002] to [0044]; all drawings & WO 2003/088477 A1	1, 4-6, 8, 9

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. C1 ⁷ H03H11/24			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. C1 ⁷ H03H7/24-7/24, 11/00-11/54			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2004年 日本国登録実用新案公報 1994-2004年 日本国実用新案登録公報 1996-2004年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示		関連する 請求の範囲の番号
X	J P 2001-519613 A (バーブラウン・コーポレーション)		1, 7
Y	2001. 10. 23 【0013】-【0045】, 図2-5 &US 005880618 A1 &US 005880618 A &EP 001020027 A &EP 001427103 A &WO 1999/018664 A1		5, 6, 8, 9
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献	
国際調査を完了した日 03. 03. 2005		国際調査報告の発送日 22. 3. 2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 江口 能弘	5W 3570
		電話番号 03-3581-1101 内線 3574	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 64-030315 A (松下電器産業株式会社) 1989. 02. 01, 第2-3頁、第3, 4図 (ファミリーなし)	2
Y	J P 8-037437 A (東芝エンジニアリング株式会社) 1996. 02. 06, 【0033】 (ファミリーなし)	2
Y	J P 9-046176 A (三菱電機株式会社) 1997. 02. 14 【0016】 - 【0033】, 図1-2 (ファミリーなし)	5, 6, 8, 9
A	J P 2003-309454 A (三菱電機株式会社) 2003. 10. 31 【0002】 - 【0044】, 全図 &WO 2003/088477 A1	1, 4-6, 8, 9